

Docket No.: 56937-087

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Chie KABUO	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 05, 2003	:	Examiner: Unknown
	:	
For:		SYSTEM FOR ESTIMATING PERFORMANCE OF INTEGRATED CIRCUIT IN REGISTER
		TRANSFER LEVEL

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

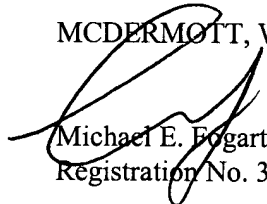
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-264308, filed September 10, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: September 5, 2003

56937-087
KABUO
September 5, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE *McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 1 0 日
Date of Application:

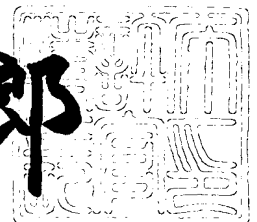
出 願 番 号 特 願 2 0 0 2 - 2 6 4 3 0 8
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 6 4 3 0 8]

出 願 人 松下電器産業株式会社
Applicant(s):

2 0 0 3 年 7 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特 2 0 0 3 - 3 0 5 4 9 3 9

【書類名】 特許願

【整理番号】 5037540010

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 燕尾 知恵

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100086737

【弁理士】

【氏名又は名称】 岡田 和秀

【電話番号】 06-6376-0857

【手数料の表示】

【予納台帳番号】 007401

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305280

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レジスタ転送レベル設計支援装置

【特許請求の範囲】

【請求項 1】 集積回路のレジスタ転送レベル論理記述から集積回路の性能を見積もるレジスタ転送レベル設計支援装置であって、

集積回路を構成するための素子モデルを格納したライブラリと、

前記論理記述を入力し記述中の各信号に対して代入箇所の対応付けを作成する R T L 記述入力手段と、

前記論理記述から構文解析木を作成する構文解析手段と、

前記構文解析木中の前記 R T L 記述入力手段で対応付けを作成した信号に対して不変属性を設定する不変属性設定手段と、

前記構文解析木から前記不変属性を持つ信号を除いた部分回路を論理最適化し前記ライブラリ内の素子モデルを割り付ける部分回路合成手段と、

前記不変属性を持つ信号に対して設計規則を満足するためにバッファを挿入する不変部最適化手段と、

前記集積回路の性能を計算する性能計算手段と、

前記性能計算の結果と前記論理記述とを表示する表示手段
とを備えたことを特徴とするレジスタ転送レベル設計支援装置。

【請求項 2】 レジスタ転送レベル論理記述との対応付けを持つ信号を含むゲートレベルネットリストから集積回路の性能を見積もるレジスタ転送レベル設計支援装置であって、

前記ゲートレベルネットリスト内の素子モデルを指定領域内に配置するフロアプラン手段と、

前記論理記述との対応付けを持つ信号に対して設計規則を満足するために前記フロアプラン手段による配置情報に基づきバッファを挿入する不変部最適化手段と、

前記配置情報から素子間の接続の配線を予測する配線予測手段と、

前記配線予測手段による配線予測値を用いて前記ゲートレベルネットリストの性能を計算する性能計算手段と、

前記性能計算の結果と前記論理記述と前記フロアプランの結果を表示する表示手段

とを備えたことを特徴とするレジスタ転送レベル設計支援装置。

【請求項 3】 さらに、外部からの要求に従い、選択されたパスに対して不変属性を持つ信号も含めて論理を最適化したネットリストを作成し、前記パスの遅延を計算する遅延再計算手段を備えたことを特徴とする請求項 1 または請求項 2 に記載のレジスタ転送レベル設計支援装置。

【請求項 4】 レジスタ転送レベル論理記述との対応付けを持つ信号を含むゲートレベルネットリストから集積回路の性能を見積もるレジスタ転送レベル設計支援装置であって、

前記論理記述上の指定箇所に対応する前記ゲートレベルネットリスト上の部分回路に到達する各信号の到達遅延時間を表示する表示手段を備えたことを特徴とするレジスタ転送レベル設計支援装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の設計支援装置にかかわり、特に、レジスタ転送レベル論理記述の段階で集積回路の面積および遅延時間を評価するレジスタ転送レベル設計支援装置に関するものである。

【0002】

【従来の技術】

ハードウェア記述言語（HDL）の普及により、レジスタ転送レベル（RTL：Register Transfer Level）で集積回路の論理記述を作成し、論理検証後、設計自動化ツールを用いて論理合成および配置配線を行う設計手法が標準的になっている。

【0003】

また、半導体プロセスの微細化により集積回路の動作速度に対する配線遅延の影響が大きくなってきていることから、物理設計段階になって初めて詳細な配線遅延を求めるのではなく、設計早期から物理設計を考慮し、タイミングの収束性

を上げる設計手法が普及しつつある。その場合、設計早期に物理設計後のチップの面積やタイミングを見積もる技術が必要であるが、多くは、テスト的に論理合成を行い、その結果のゲートレベルネットリストを用いて見積もっていた。

【0004】

一方、論理合成を行うには時間がかかること、また、論理合成結果とRTL論理記述との対応付けが困難であるといった点から、RTL論理記述から直接、集積回路の性能を予測評価する取り組みが行われるようになってきた。RTL設計段階における性能評価に基づいてRTL論理記述の品質を上げることにより、下流の設計段階で対処するよりも大幅に少ない工数で集積回路の性能向上が可能となるからである。

【0005】

従来の技術においては、集積回路の性能評価指標として面積・遅延・消費電力を総合的に評価し、評価結果とRTL論理記述との対応付けをとろうとしている。(例えば、特許文献1参照)。

【0006】

【特許文献1】

特開平11-213029号公報(第4-8頁、図2)

【0007】

【発明が解決しようとする課題】

通常、論理合成を行う際に用いる論理ライブラリには、配線およびゲート数を削減する効果のあるANDゲートやORゲートを組み合わせた複合セルが含まれている。また、タイミングの“なまり”に対する設計規則に従い、論理合成ツールにより高ファンアウトや長距離配線の信号にはバッファが挿入される。

【0008】

半導体プロセスの微細化が $0.13\mu\text{m}$ 、 $0.10\mu\text{m}$ と進むにつれ、配線遅延の影響が大きくなるため、これらを考慮した性能見積もりが必要になってくると考えられる。

【0009】

しかしながら、上記従来の技術では、論理最適化用に使用可能な素子モデルと

して、単純な 2 入力 NAND、2 入力 NOR、インバータ等しか考慮していない。

【0010】

また、高ファンアウトの信号に対しては何ら対処がなされないまま、RTL 論理記述に依存した形で残ったまま性能評価をすることになる。

【0011】

そのため、従来技術では、配線遅延の影響が大きくなる微細化プロセスでは見積もり精度が劣化することになる。

【0012】

従って、上記問題点に鑑み、本発明の目的は、RTL 論理記述との対応を保ちつつ、タイミング制約および設計規則を考慮し、かつライブラリに含まれる複合セル等のセルの種類を反映して、高精度に集積回路の性能を見積もり、かつ性能評価に基づく RTL 論理記述の品質向上を可能とするレジスタ転送レベル設計支援装置を提供することにある。

【0013】

【課題を解決するための手段】

本発明のレジスタ転送レベル設計支援装置は、集積回路のレジスタ転送レベル論理記述から集積回路の性能を見積もるものであって、集積回路を構成するための素子モデルを格納したライブラリと、前記論理記述を入力し記述中の各信号に対して代入箇所の対応付けを作成する RTL 記述入力手段と、前記論理記述から構文解析木を作成する構文解析手段と、前記構文解析木中の前記 RTL 記述入力手段で対応付けを作成した信号に対して不変属性を設定する不変属性設定手段と、前記構文解析木から前記不変属性を持つ信号を除いた部分回路を論理最適化し前記ライブラリ内の素子モデルを割り付ける部分回路合成手段と、前記不変属性を持つ信号に対して設計規則を満足するためにバッファを挿入する不変部最適化手段と、前記集積回路の性能を計算する性能計算手段と、前記性能計算の結果と前記論理記述とを表示する表示手段とを備えたものである。

【0014】

これにより、RTL 論理記述との対応付けを保ちつつ、タイミング制約および

設計規則を考慮し、かつ複合論理のようなライブラリ内の素子モデルの種類を反映したネットリストを生成することができ、RTL設計段階で集積回路の性能を高精度に見積もることができるとともに、性能上問題となる箇所をRTL論理記述上に特定することができる。

【0015】

さらに、本発明のレジスタ転送レベル設計支援装置は、レジスタ転送レベル論理記述との対応付けを持つ信号を含むゲートレベルネットリストから集積回路の性能を見積もるものであって、前記ゲートレベルネットリスト内の素子モデルを指定領域内に配置するフロアプラン手段と、前記論理記述との対応付けを持つ信号に対して設計規則を満足するために前記フロアプラン手段による配置情報に基づきバッファを挿入する不変部最適化手段と、前記配置情報から素子間の接続の配線を予測する配線予測手段と、前記配線予測手段による配線予測値を用いて前記ゲートレベルネットリストの性能を計算する性能計算手段と、前記性能計算の結果と前記論理記述と前記フロアプランの結果を表示する表示手段とを備えたものである。

【0016】

これにより、微細プロセスで大きな割合を占める素子間の配線遅延をより高精度に見積もることができる。

【0017】

また、本発明のレジスタ転送レベル設計支援装置は、上記の構成において、さらに、外部からの要求に従い、選択されたパスに対して不変属性を持つ信号も含めて論理を最適化したネットリストを作成し、前記パスの遅延を計算する遅延再計算手段を備えたものである。

【0018】

これにより、不変属性が設定された信号も含めた論理最適化の結果を評価することができ、RTL論理記述との対応付けを保ったまま、より高精度に性能見積もりを行うことができる。

【0019】

さらに、本発明のレジスタ転送レベル設計支援装置は、レジスタ転送レベル論

理記述との対応付けを持つ信号を含むゲートレベルネットリストから集積回路の性能を見積もるものであって、前記論理記述上の指定箇所に対応する前記ゲートレベルネットリスト上の部分回路に到達する各信号の到達遅延時間を表示する表示手段を備えたものである。

【0020】

これにより、部分回路への各入力信号の到達遅延時間を考慮したRTL設計が可能となり、RTL論理記述の品質を向上することができる。

【0021】

【発明の実施の形態】

以下、本発明にかかわるレジスタ転送レベル設計支援装置の実施の形態について図面に基づいて詳細に説明する。

【0022】

（第1の実施の形態）

図1は、本発明の第1の実施の形態のレジスタ転送レベル設計支援装置の構成を示す図である。

【0023】

図1において、1はレジスタ転送レベル（RTL）論理記述、2は集積回路を構成するための素子モデルを格納したライブラリ、3はRTL論理記述1を入力するRTL記述入力手段、4は入力したRTL論理記述1を構文解析し構文解析木を作成する構文解析手段、5は構文解析木中の信号に対して不変属性を設定する不変属性設定手段、6は構文解析木から不変属性を持つ信号を除いた部分回路を論理最適化しライブラリ2内の素子モデルに割付ける部分回路合成手段、7は不変属性を持つ信号に対して設計規則を満足するためにバッファを挿入する不変部最適化手段、8は集積回路の性能を計算する性能計算手段、9は表示手段である。

【0024】

図1を用いて、本実施の形態のレジスタ転送レベル設計支援装置の動作を説明する。

【0025】

最初に、RTL記述入力手段3がRTL論理記述1を入力し、その記述中に現れる信号名およびピン名に対し、各々が代入されている箇所としてファイル名および行番号を求め、信号名との対応付けを作成する。ハードウェア記述言語VerilogHDLの場合、wire文あるいはreg文により信号の名前を認識し、output文、input文およびinout文によりピンの名前を認識する。そして、それらの信号への代入文を含むalwaysブロックあるいはassign文の開始行の行番号をその信号と対応付けることとする。このとき、2以上のビット幅を持つ信号に対しては、その代入文がビット展開されていない場合、A[7:0]のようなバス表記のまま対応付けを作成する。ただし、その代入文がビット展開されている場合は、その代入文に従い、ビット別に対応付けを作成する。また、同じ信号名が複数のalwaysブロックあるいはassign文内で代入されている場合は、それらの全ての行番号を対応付ける。例えば、スリーステートバッファを表現する記述がこれに該当する。ただし、function文およびtask文内で定義された信号に対しては、その名前は集積回路において固有名とはなり得ないので、対応付けは作成しないこととする。

【0026】

次に、構文解析手段4が、入力したRTL記述の構文解析を行い、構文解析木を作成する。そして、不変属性設定手段5が、構文解析木中の記述との対応付けを持つ信号に対して不変属性を設定する。このとき、同期表現されたalwaysブロック内の信号に関しては、ゲートレベルネットリスト上でフリップフロップに割り付けられるため、不変属性は設定しないこととする。ラッチに割り付けられる信号も同様に不変属性は設定しない。

【0027】

次に、部分回路合成手段6が、構文解析木から不変属性を持つ信号を除いた部分回路を論理最適化し、ライブラリ2内の素子モデルを割り付けてゲートレベルネットリストを作成する。この論理最適化および素子モデル割り付けの方法は、通常の論理合成方法と同様でよい。ただし、フリップフロップやラッチのインスタンス名はRTL論理記述上の信号名と一致するものとする。また、電圧や温度等の動作条件や動作周波数等の設計制約は、通常の論理合成と同様に与えられているものとする。

【0028】

図2は、RTL記述入力手段3から部分回路合成手段6の例を示す図である。図2の(a)は入力するRTL論理記述の一部であり、信号定義を行うwire文と信号Yに対する代入文を含むassign文が示されている。(b)は(a)の記述中で定義されている信号に対する記述との対応付けを示す例であり、ファイル名と行番号が記憶される。また、ビット幅を持つものはバス表記されている。(c)は、(a)のassign文が示す部分回路を対象とする部分回路合成手段6の結果を示す図である。図2(c)において、10は部分回路であり、11は不変属性を設定された信号を示す。部分回路合成手段6により、部分回路10は、ライブラリ2に格納されている素子モデルのゲートレベルネットリストになる。

【0029】

次に、不変部最適化手段7が、不変属性を持つ信号に対して、ファンアウト数制限などの設計規則を満足するためにバッファを挿入する。このとき、バッファを挿入することにより生成された新たな信号に対しても、元の信号名が持つ記述との対応付けを継承するものとする。

【0030】

図3はファンアウト数制限に対する不変部最適化手段7の動作を示す流れ図である。図3を用いて不変部最適化手段7の動作を説明する。ステップ20からステップ22の処理により、不変属性を持つ信号のうちファンアウト数が設計規則以上の信号を順次選択する。選択された信号に対して、ステップ23およびステップ24の処理により、N分木構造となるようにバッファを挿入する。ここで、Nは設計規則に規定された最大ファンアウト数である。

【0031】

次に、性能計算手段8が、生成されたゲートレベルネットリストの性能を計算する。ここで、性能としては、面積や遅延があげられる。面積はネットリストを構成する素子の面積の総和で求め、遅延はレジスタ間パス上の素子の内部遅延と配線遅延の和で求めることができる。ここで、素子の内部遅延はライブラリ2から得られ、配線遅延は配線の容量値と抵抗値を乗じた値で得られる。配線の容量および抵抗は、ファンアウト数によりモデル化された値を使用することができる。

。また、性能計算手段 8 は、各素子の入力ピンに対して、そこに到達するパスの最大遅延値を属性として設定する。

【0032】

性能計算手段 8 の計算結果は、表示手段 9 により確認することができる。図 4 に表示手段 9 の表示例を示す。図 4 の (a) は集積回路の面積、最大遅延の表示例である。(b) は各レジスタ間パスの遅延の一覧の表示例である。(c) は (b) の一覧から任意のパスを選択することにより表示されるそのパスの回路図である。回路図上で任意の信号を選択することにより、その信号への最大遅延を回路図上に表示することができる。(d) は (c) の回路図から不変属性を持つ信号を選択することにより表示されるその信号に対応付けされた R T L 論理記述である。また、逆に、(d) のように表示された R T L 論理記述から任意の信号名を選択することにより、その信号への最大遅延を持つパスの回路図を表示することができる。

【0033】

さらに、表示手段 9 は、表示された論理記述上の always や assign を選択することにより、それに対応する部分回路に到達する各信号の到達遅延を表示する。その例を図 5 および図 6 に示す。

【0034】

図 5 の (a) は論理記述の表示例であり、ここで always が選択されたとする。(b) はそのときに表示される回路図である。(c) はその部分回路に到達する信号の到達遅延の表示である。(d) は (c) で 2.0 の到達遅延であった信号 D の到達遅延を 4.0 としている。

【0035】

図 6 は、図 5 (a) の R T L 記述を変更した場合の回路図 (b) および到達遅延表示 (c), (d) である。この例では、図 5 の場合には信号 D の到達遅延に関わらず、信号 Y への到達遅延は (c) と (d) で同じ (9.6) であり、図 6 の場合には信号 Y への到達遅延は (c) の方が速く ($8.9 < 10.1$)、かつ図 5 (c) よりも速くなっている ($8.9 < 9.6$) ことが示されている。従って、R T L 設計者は、信号 D の到達遅延に注目し、R T L 記述を図 5 (a) のよ

うにするか、図 6 (a) のようにするかを評価することができる。

【0036】

以上のように本実施の形態によれば、不変属性設定手段 5 と部分回路合成手段 6 と不変部最適化手段 7 を設けることにより、RTL 論理記述との対応付けを保ちつつ、タイミング制約および設計規則を考慮し、かつ複合論理のようなライブラリ 2 内の素子モデルの種類を反映したネットリストを生成することができる。その結果、RTL 設計段階で集積回路の性能を高精度に見積もることができるとともに、性能上問題となる箇所を RTL 論理記述上に特定でき、RTL 論理記述の品質を向上することができる。

【0037】

さらに、表示手段 9 が、部分回路への各入力信号の到達遅延時間を表示することにより、到達遅延を考慮した RTL 設計が可能となり、RTL 論理記述の品質を向上することができる。

【0038】

(第 2 の実施の形態)

図 7 は、本発明の第 2 の実施の形態のレジスタ転送レベル設計支援装置の構成を示す図である。図 1 と異なるのは、部分回路合成手段 6 と不変部最適化手段 7 との間にフロアプラン手段 30 を設け、不変部最適化手段 7 と性能計算手段 8 との間にフロアプラン更新手段 31 および配線予測手段 32 を設けた点である。以下、フロアプラン手段 30 以降の動作について説明する。

【0039】

まず、フロアプラン手段 30 は、ゲートレベルネットリスト内の素子モデルを配置領域内に配置する。

【0040】

図 8 はフロアプラン手段 30 の動作を示す流れ図である。

【0041】

ステップ 40 で、指定した素子占有率および縦横比に従い配置領域を設定する。素子占有率は、1.0 以下の正の実数で表現され、その領域に占める素子面積の割合を示し、レイアウト設計時の配線層数やネットリストに依存するが、レイ

アウト設計前には経験値から 0.8 前後の値とする場合が多い。ネットリスト内の素子の総面積を素子占有率で除した値が配置領域の面積となる。

【0 0 4 2】

次にステップ 4 1 で、配置領域の周辺上に入出力ピンあるいは I / O セルを配置する。入出力ピンあるいは I / O セルの配置順はランダムあるいは外部からの指定とする。

【0 0 4 3】

次にステップ 4 2 で、対象とする集積回路を階層的にレイアウト設計するか否かを指定し、階層レイアウトを行わない場合はステップ 4 3 から 4 5 の処理を、階層レイアウトを行う場合はステップ 4 6 から 4 9 の処理を行う。通常、集積回路の規模が使用するレイアウトツールの処理可能な回路規模を超える場合に階層レイアウトが採用される。回路規模をゲート数で表現するならば、本実施の形態の場合、ネットリストに含まれる全素子の面積を 2 入力 NAND の素子の面積で除した値をゲート数とみなすことができる。

【0 0 4 4】

先に前者について説明する。ステップ 4 3 で、部分回路合成手段 6 で論理最適化の対象とした各部分回路を各々 1 つのグループとし、次のステップ 4 4 で、それらグループを配置領域内に配置する。このとき、各グループは、グループ内に含まれる素子の総面積を前記素子占有率で除した面積を持ち、正方形で固定されているものとする。グループの配置は、グループ間を接続する配線長の最小化およびグループの重なり面積の最小化を目的として実行される。配線長は、接続するグループの中心間のマンハッタン長で求めることができる。

【0 0 4 5】

次にステップ 4 5 で、各グループ内の素子モデルをグループが占める領域内に配置する。このときの配置も同様に、素子間を接続する配線長の最小化および素子の重なり面積の最小化を目的として実行される。

【0 0 4 6】

一方、後者の場合は、ステップ 4 6 で、ゲートレベルネットリストをレイアウト設計の単位となるブロックに分割する。各ブロックは、レイアウトツールが処

理可能な回路規模以下になるように分割され、ブロック内に含まれる素子の総面積を前記素子占有率で除した面積を持つ。次にステップ 47 で、各ブロックを配置領域内に配置する。この配置は、人手指定あるいはステップ 44 と同様に自動処理を行う。

【0047】

次にステップ 48 で、各ブロックのピンをブロック周辺上に配置する。このピン配置は、配線長が最小となることを目的として実行される。次にステップ 49 で、ブロック内の配置を決定する。その処理は前記ステップ 43 から 45 の処理と同様である。

【0048】

次に、不変部最適化手段 7 が、第 1 の実施の形態と同様に、不変属性を持つ信号に対して、ファンアウト数制限などの設計規則を満足するためにバッファを挿入する。ただし、本実施の形態においては素子が配置されているため、図 3 のステップ 23 の処理は、その信号を入力とする素子を、その配置位置を基準に分類することになる。その素子分類方法を以下に示す。ここで、FO はその信号のファンアウト数、N は設計規則の最大ファンアウト数とする。

【0049】

(素子分類方法)

(A1) $M = FO / N$

(A2) 集合 A = {当該信号を出力する素子}、集合 B = {当該信号を入力する素子}

(A3) 集合 Bの中から、集合 Aの全素子からの距離が最大の素子を集合 Aに移動することを、集合 Aの素子数が M+1 個になるまで繰り返す。

【0050】

(A4) 集合 A から当該信号を出力する素子を削除し、残りの素子を各々集合 S1, S2, ..., SM に対応付ける。

【0051】

(A5) 集合 B の各素子から集合 A の各素子への距離を求め、距離が最小となる集合 B の素子と集合 A の素子の組み合わせを求め、前者を後者に対応付けら

れた集合 S_i (i はサフィックス) に移動する。集合 S_i の素子数が $N-1$ 個になると、集合 A から該当の素子を集合 S_i に移動する。ここで、 i は 1 以上 M 以下の整数である。これを集合 B が空になるまで繰り返す。

【0052】

次に、フロアプラン更新手段 31 が、配置領域を、挿入されたバッファの総面積を加算した面積に変更する。また階層レイアウトの場合は、ブロックを挿入されたバッファの面積を加算した面積に変更する。その後、バッファをそれに接続する配線長が最小となる位置に配置し、さらに、素子間の重なりおよびブロック間の重なりが最小となるように各々の配置位置を微小変更する。

【0053】

次に、配線予測手段 32 が、各素子間の接続をスタイナ木により配線する。

【0054】

次に、性能計算手段 8 が、第 1 の実施の形態と同様に、面積および遅延を計算する。ただし、本実施の形態においては素子モデルが配置されているため、配線の容量値および抵抗値は、配線予測手段 32 で求めた配線の長さに基づいて計算される。

【0055】

表示手段 9 は、第 1 の実施の形態と同様に、性能計算結果、回路図、RTL 論理記述を表示する。ただし、本実施の形態においては、フロアプラン結果を表示し、フロアプラン上で選択したパスをハイライト表示する機能も有する。フロアプラン表示の例を図 9 に示す。

【0056】

本実施の形態によれば、素子モデルを配置するフロアプラン手段 30 と素子間の配線を予測する配線予測手段 32 を設けたことにより、微細プロセスで大きな割合を占める素子間の配線遅延をより高精度に見積もることができる。

【0057】

(第 3 の実施の形態)

図 10 は、本発明の第 3 の実施の形態のレジスタ転送レベル設計支援装置の構成を示す図である。図 10 において、RTL 性能見積もり手段 50 は、第 1 の実

施の形態あるいは第2の実施の形態のRTL記述入力手段3から性能計算手段8までをまとめたものであり、本実施の形態が第1、第2の実施の形態と異なるのは、遅延再計算手段51を設けた点である。以下、本実施の形態の動作を説明する。

【0058】

遅延再計算手段51は、外部からの要求に従い、選択されたパス上の不変属性を持つ信号も含めて論理を最適化したネットリストを、RTL性能見積もり手段50により生成された集積回路全体のゲートレベルネットリストとは別に作成し、そのパスの遅延を再計算する。その計算結果は、表示手段9において、図4（b）に示した画面のパス遅延値を更新して表示される。

【0059】

図11は、遅延再計算手段51の例を示す図である。図11の（a）はRTL性能見積もり手段50により生成されたゲートレベルネットリストにおける1つのパスを示し、（b）は同パスに対して遅延再計算手段51により生成されたネットリストを示す。（a）において、52は不変属性を持つ信号である。

【0060】

本実施の形態によれば、遅延再計算手段51を設けたことにより、不変属性が設定された信号も含めた論理最適化の結果を評価することができ、RTL論理記述との対応付けを保ったまま高精度に性能見積もりを行うことができる。

【0061】

【発明の効果】

本発明によれば、RTL論理記述との対応付けを保ちつつ、タイミング制約および設計規則を考慮し、かつ複合論理のようなライブラリ内の素子モデルの種類を反映したネットリストを生成することにより、RTL設計段階で集積回路の性能を高精度に見積もることができるとともに、性能上問題となる箇所をRTL論理記述上に特定でき、RTL論理記述の品質を向上することができる。

【0062】

また、素子モデルを配置するフロアプランを行うことにより、微細プロセスで大きな割合を占める素子間の配線遅延をより高精度に見積もることができる。

【0063】

また、不変属性が設定された信号も含めた論理最適化の結果を評価することができ、RTL論理記述との対応付けを保ったまま、より高精度に性能見積もりを行うことができる。

【0064】

また、部分回路への各入力信号の到達遅延時間を表示することにより、到達遅延時間を考慮したRTL設計が可能となり、RTL論理記述の品質を向上することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態のレジスタ転送レベル設計支援装置の構成を示す図

【図2】 第1の実施の形態におけるRTL論理記述の例(a)、信号とRTL論理記述との対応付けの例(b)、部分回路合成手段の結果の例(c)を示す図

【図3】 第1の実施の形態における不変部最適化手段の動作を示す流れ図

【図4】 第1の実施の形態における表示手段による集積回路の面積および最大遅延の表示の例(a)、パス遅延表示の例(b)、回路図表示の例(c)、RTL論理記述表示の例(d)を示す図

【図5】 第1の実施の形態における表示手段によるRTL論理記述の例(a)、回路図(b)、部分回路への到達遅延時間表示の例(c)、(d)を示す図

【図6】 第1の実施の形態における表示手段によるRTL論理記述の例(a)、回路図(b)、部分回路への到達遅延時間表示の例(c)、(d)を示す図

【図7】 本発明の第2の実施の形態のレジスタ転送レベル設計支援装置の構成を示す図

【図8】 第2の実施の形態におけるフロアプラン手段の動作を示す流れ図

【図9】 第2の実施の形態における表示手段の例を示す図

【図10】 本発明の第3の実施の形態のレジスタ転送レベル設計支援装置の構成を示す図

【図11】 第3の実施の形態における遅延再計算手段の動作により表示手段

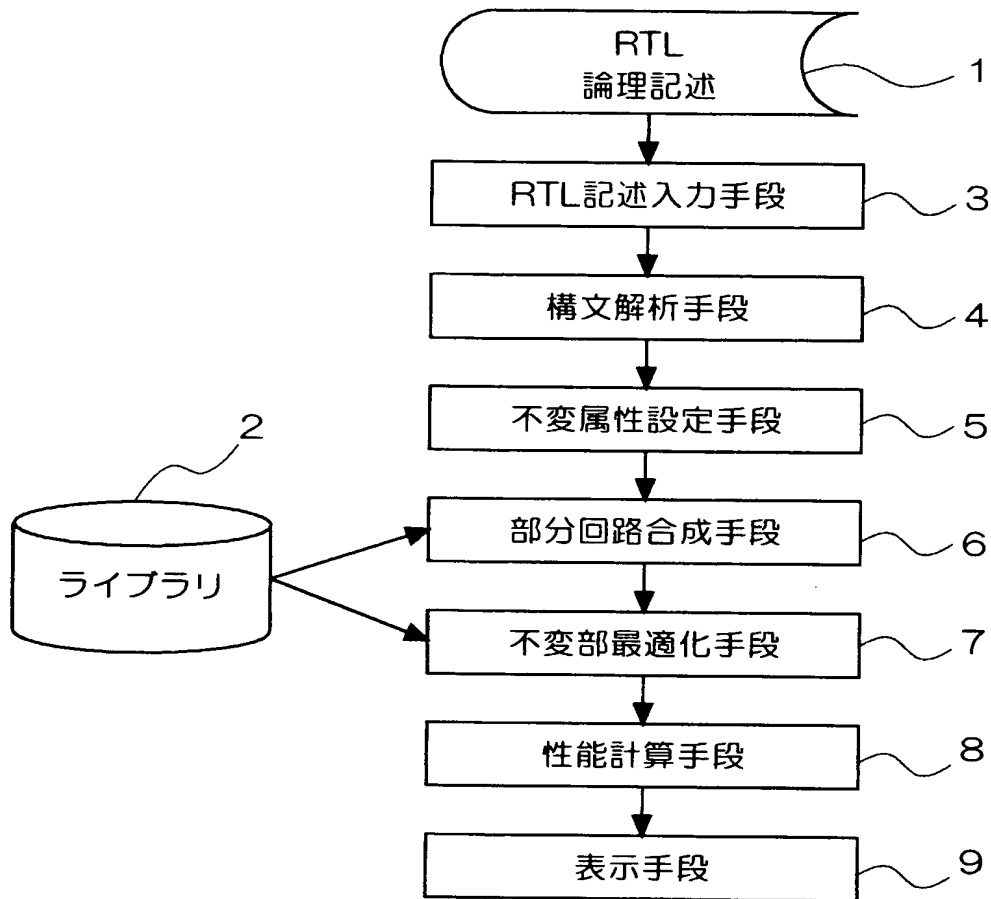
に表示される回路図（a）、遅延再計算手段により論理最適化されたネットリスト（b）を示す図

【符号の説明】

- 1 . . . R T L 論理記述
- 2 . . . ライブラリ
- 3 . . . R T L 記述入力手段
- 4 . . . 構文解析手段
- 5 . . . 不変属性設定手段
- 6 . . . 部分回路合成手段
- 7 . . . 不変部最適化手段
- 8 . . . 性能計算手段
- 9 . . . 表示手段
- 1 0 . . . 部分回路
- 1 1 . . . 不変属性を持つ信号
- 3 0 . . . フロアプラン手段
- 3 1 . . . フロアプラン更新手段
- 3 2 . . . 配線予測手段
- 5 0 . . . R T L 性能見積もり手段
- 5 1 . . . 遅延再計算手段
- 5 2 . . . 不変属性を持つ信号

【書類名】 図面

【図 1】



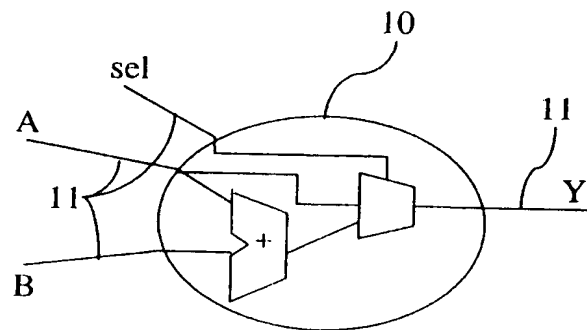
【図 2】

```
wire [7:0] A,B,Y;  
wire sel;  
...  
assign Y = (sel==1'b1)?A+B:A;
```

(a)

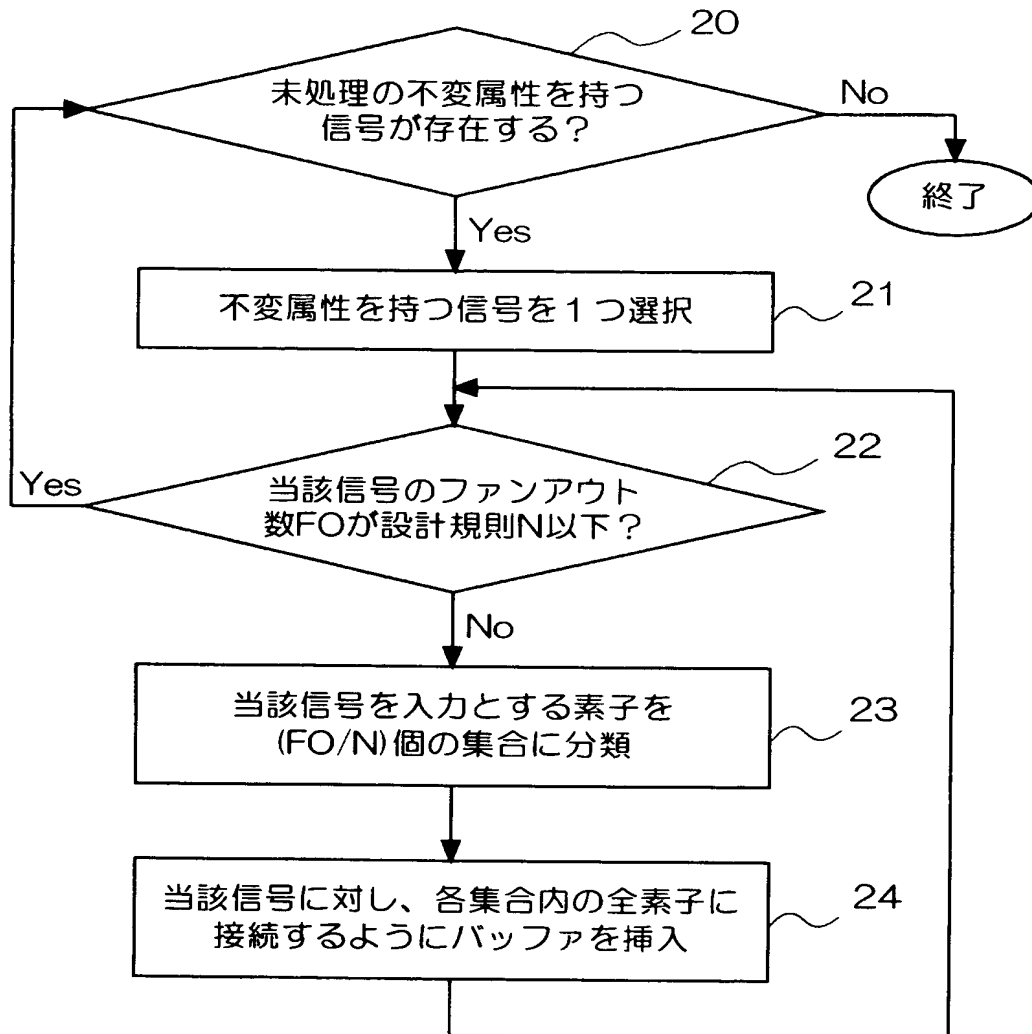
signal	file	line
A[7:0]	design1.v	50
B[7:0]	design1.v	60
Y[7:0]	design1.v	70
sel	design1.v	65

(b)

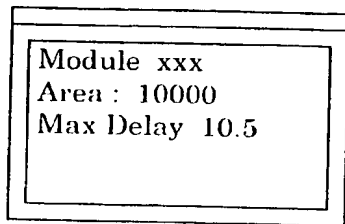


(c)

【図 3】



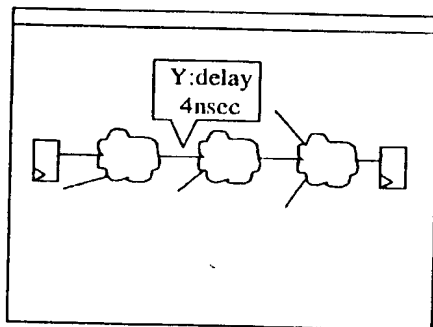
【図 4】



(a)

from	to	delay
block1/reg_a	block2/reg_b	9.4
block2/reg_b	block2/reg_c	5.6
block2/reg_c	block3/reg_d	10.4

(b)

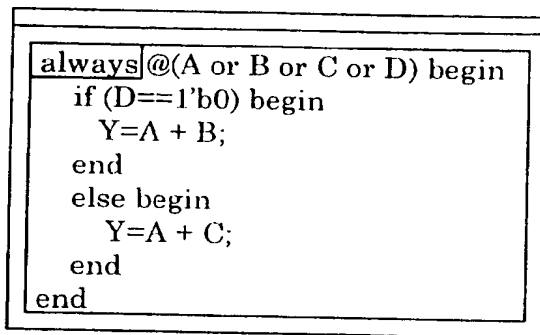


(c)

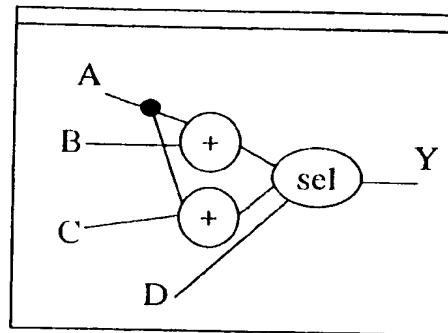
```
always @(A or B or C or D) begin
  if (D==1'b0) begin
    Y=A + B;
  end
  else begin
    Y=A + C;
  end
end
```

(d)

【図 5】



(a)



(b)

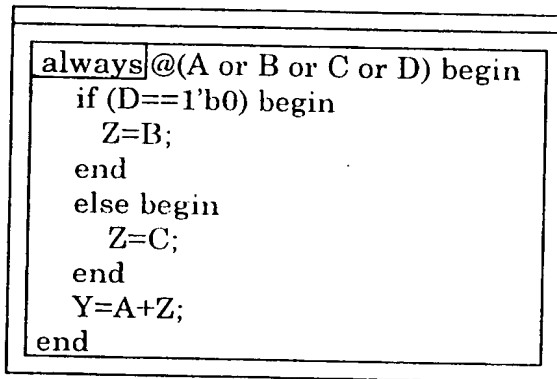
Signal	arrival
A	3.5
B	2.6
C	2.8
D	2.0
Y	9.6

(c)

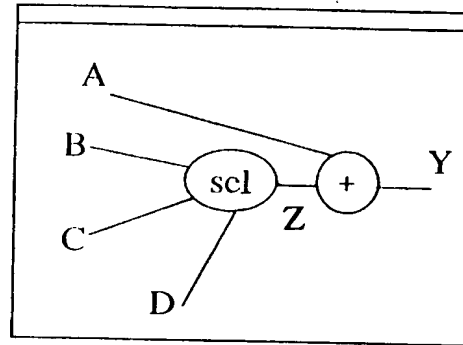
Signal	arrival
A	3.5
B	2.6
C	2.8
D	4.0
Y	9.6

(d)

【図 6】



(a)



(b)

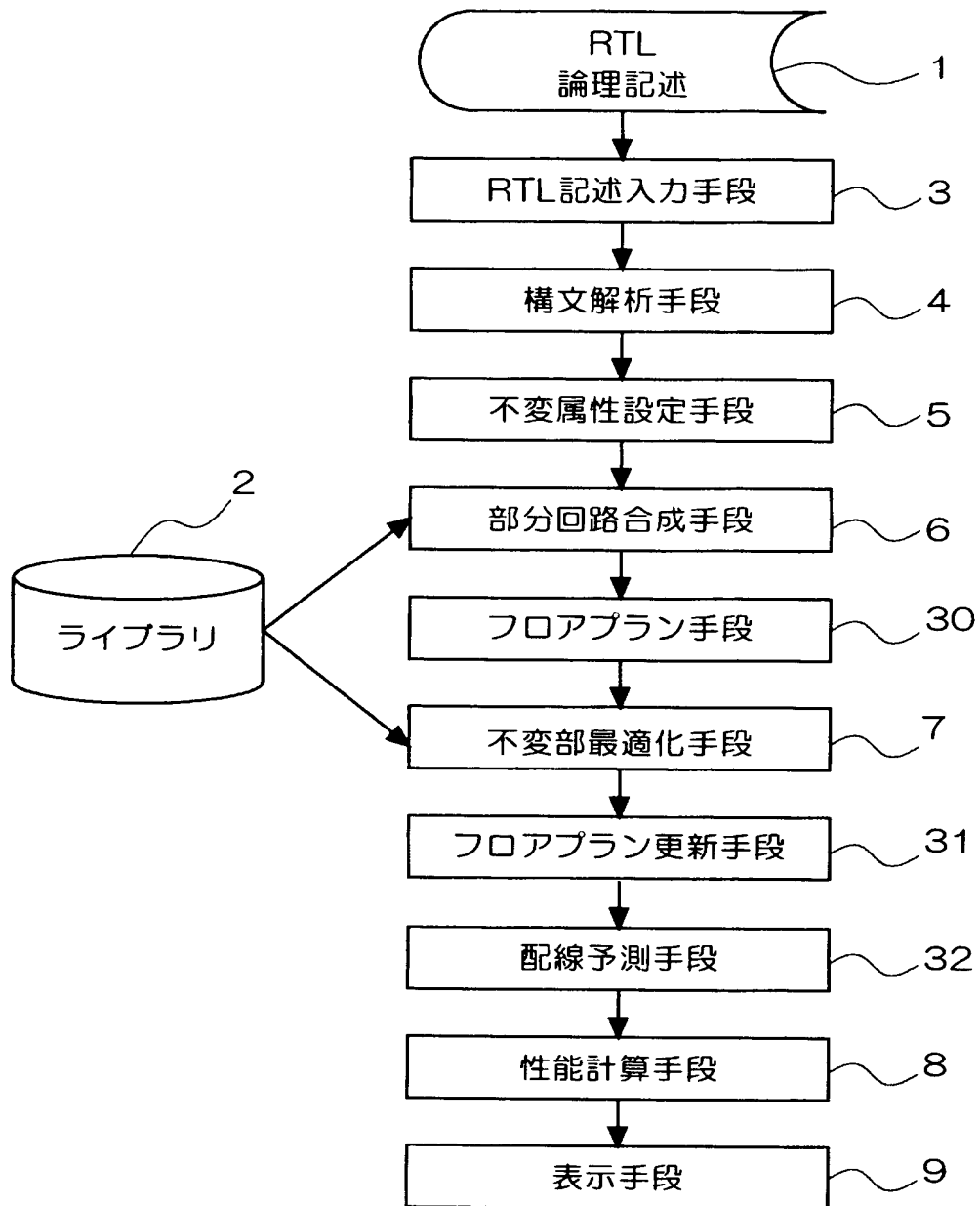
Signal	arrival
A	3.5
B	2.6
C	2.8
D	2.0
Y	8.9

(c)

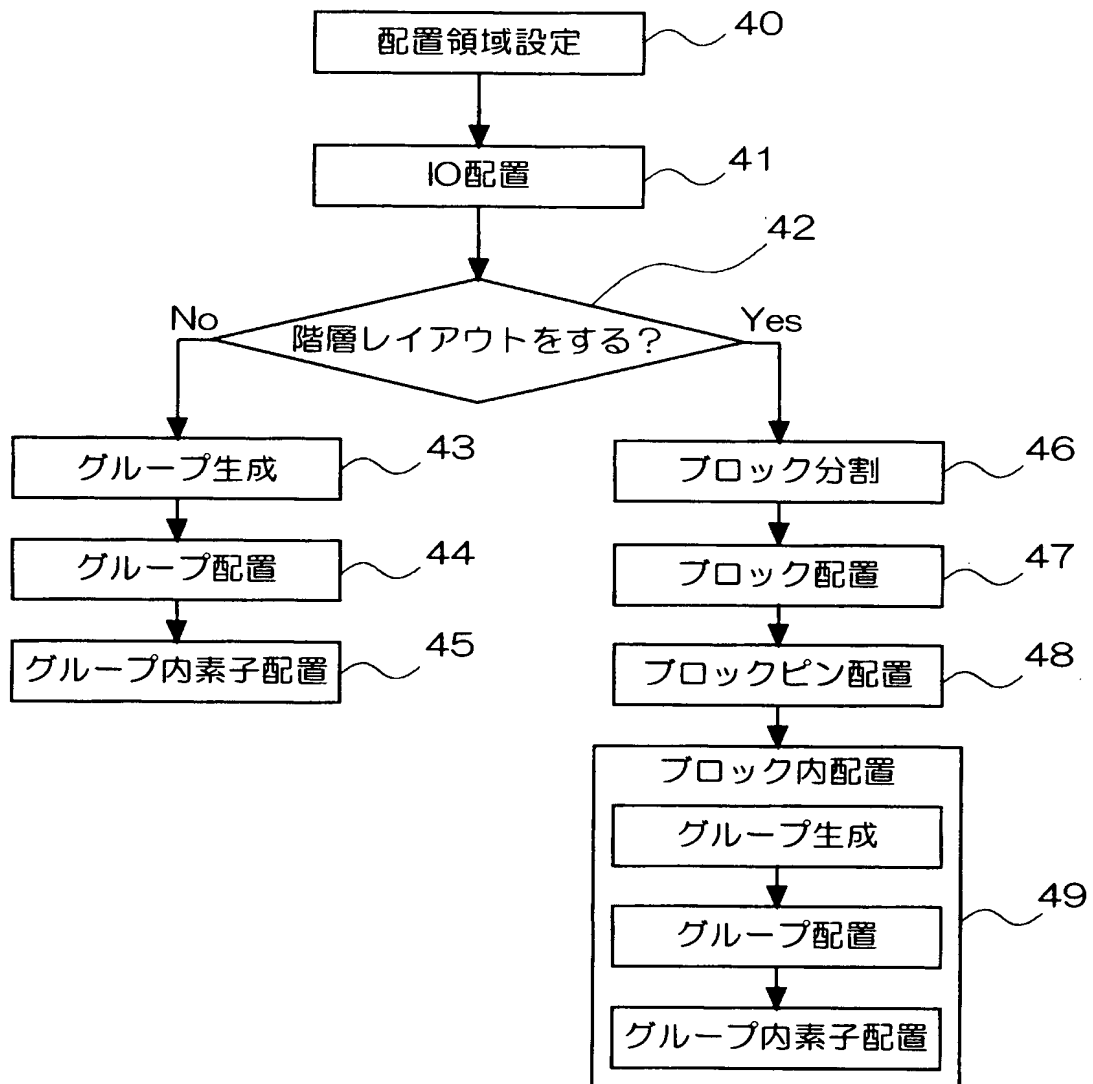
Signal	arrival
A	3.5
B	2.6
C	2.8
D	4.0
Y	10.1

(d)

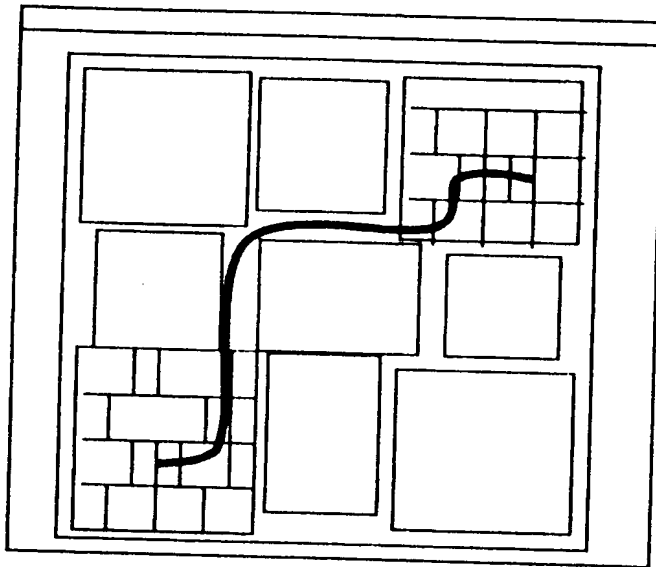
【図 7】



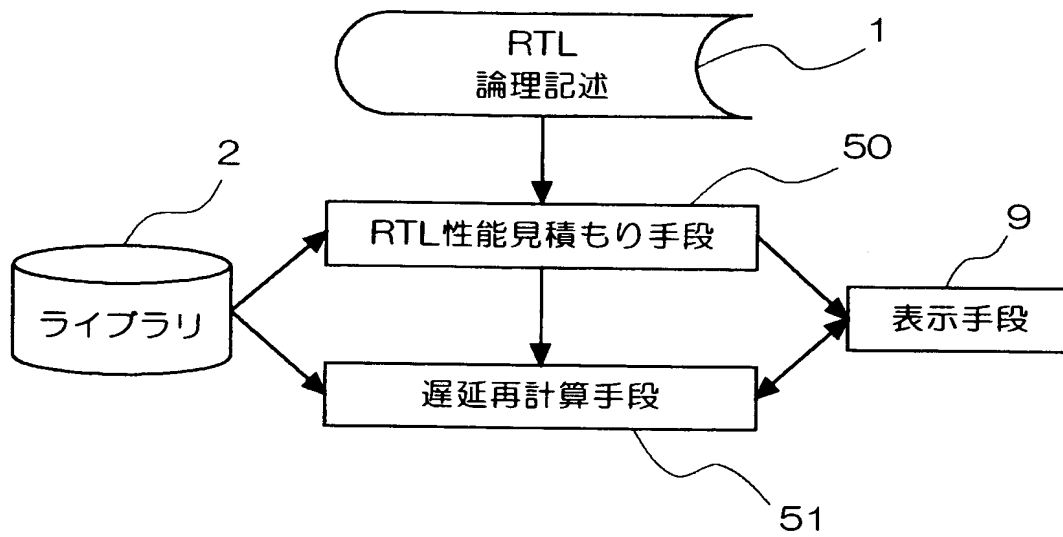
【図 8】



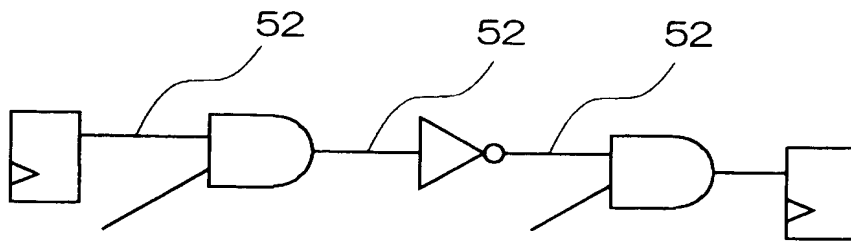
【図 9】



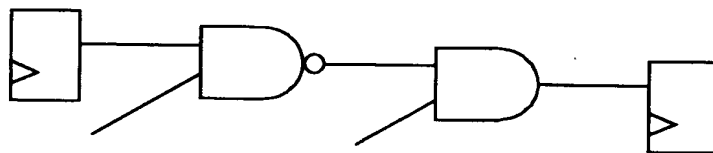
【図 10】



【図 11】



(a)



(b)

【書類名】 要約書

【要約】

【課題】 レジスタ転送レベル論理記述との対応を保ちつつ高精度に集積回路の性能を見積もり、論理記述の品質向上を可能とする。

【解決手段】 R T L 論理記述 1 を入力し各信号に対して代入箇所の対応付けを作成する R T L 記述入力手段 3 と、対応付けを作成した信号に対して不変属性を設定する不変属性設定手段 5 と、不変属性を持つ信号を除いた部分回路を論理最適化する部分回路合成手段 6 と、不変属性を持つ信号に対して設計規則を満足するためにバッファを挿入する不変部最適化手段 7 と、集積回路の性能を計算する性能計算手段 8 と、性能計算結果と論理記述とを表示する表示手段 9 を備える。設計制約および設計規則を考慮し、かつ素子モデルの種類を反映した性能見積もりが可能となり、性能上問題となる箇所を論理記述上に特定できる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 6 4 3 0 8
受付番号	5 0 2 0 1 3 5 4 3 1 9
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 9 月 1 1 日

< 認定情報・付加情報 >

【提出日】	平成14年 9月10日
-------	-------------

次頁無

特願 2 0 0 2 - 2 6 4 3 0 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社